

10/522264
PCT/JP2004/007756

Re. 10 25 JAN 2005

28.5.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 6月30日

出願番号 Application Number: 特願2003-187106

[ST. 10/C]: [JP2003-187106]

出願人 Applicant(s): サンケン電気株式会社

REC'D 15 JUL 2004

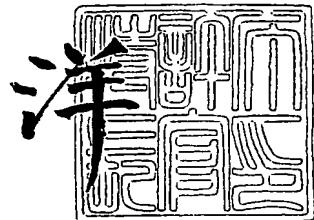
WIPO PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 7月 2日

特許庁長官
Commissioner,
Japan Patent Office

小川



Best Available Copy

出証番号 出証特2004-3057383

【書類名】 特許願
【整理番号】 SNK-188
【提出日】 平成15年 6月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/74
【発明の名称】 半導体スイッチ
【請求項の数】 10
【発明者】
【住所又は居所】 埼玉県川越市下赤坂大野原 677番地 サンケン テクノリサーチ株式会社内
【氏名】 森田 浩一
【特許出願人】
【識別番号】 000106276
【氏名又は名称】 サンケン電気株式会社
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712
【弁理士】
【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成13年度新エネルギー・産業技術総合開発機構基盤技術研究促進事業に係る委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803324

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチ

【特許請求の範囲】

【請求項1】 ノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、

前記ノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなることを特徴とする半導体スイッチ。

【請求項2】 直列に接続された複数個のノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、

前記複数個のノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなることを特徴とする半導体スイッチ。

【請求項3】 前記第1及び第2のノーマリオフ型のFETをオン／オフすることにより前記ノーマリオン型のFETをオン／オフさせる制御手段を有することを特徴とする請求項1又は請求項2記載の半導体スイッチ。

【請求項4】 前記制御手段は、

前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、

この第1ダイオードに電流を供給する第1電流供給手段と、

前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、

この第2ダイオードに電流を供給する第2電流供給手段と、
を有し、

前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点を前記ノーマリオン型のFETのゲートに接続したことを特徴とする請求項3記載の半導体スイッチ。

【請求項5】 前記制御手段は、

前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、

前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、

前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点と前記ノーマリオン型のFETのゲートとの間に接続された抵抗と、

前記ノーマリオン型のFETのゲートと前記第1のノーマリオフ型のFETのゲートとの間に接続された第3ダイオードと、

前記ノーマリオン型のFETのゲートと前記第2のノーマリオフ型のFETのゲートとの間に接続された第4ダイオードと、

を有することを特徴とする請求項3記載の半導体スイッチ。

【請求項6】 前記ノーマリオン型のFETのゲートに直流電圧を印加する直流電源を有することを特徴とする請求項4記載の半導体スイッチ。

【請求項7】 前記制御手段は、

前記第1のノーマリオフ型のFETのソースに第1電極が接続された第1スイッチと、

前記第2のノーマリオフ型のFETのソースに第3電極が接続され第4電極が前記第1スイッチの第2電極に接続された第2スイッチとを有し、

前記第1スイッチの第2電極と前記第2スイッチの第4電極との接続点を前記ノーマリオン型のFETのゲートに接続し、

前記第1スイッチ及び第2スイッチの内、前記第1及び第2のノーマリオフ型のFETの内のソース電位の低い方のFETに接続されたスイッチをオンし、前記ソース電位の高い方のFETに接続されたスイッチをオフすることを特徴とする請求項1又は請求項2記載の半導体スイッチ。

【請求項8】 前記ノーマリオン型のFETは、化合物半導体からなり、前記第1及び第2のノーマリオフ型のFETは、Si半導体からなることを特徴とする請求項1乃至請求項7のいずれか1項記載の半導体スイッチ。

【請求項9】 前記ノーマリオン型のFETは、MESFETからなることを特徴とする請求項1乃至請求項7のいずれか1項記載の半導体スイッチ。

【請求項10】 前記ノーマリオン型のFETは、高圧の半導体スイッチからなり、前記第1及び第2のノーマリオフ型のFETは、低圧低オン抵抗のFETからなることを特徴とする請求項1乃至請求項7のいずれか1項記載の半導体スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体スイッチに関し、化合物半導体やSiで形成された高耐圧のノーマリオン型のFETと2つの低オン抵抗のMOSFETを直列に接続し、交流で使用可能な高圧の半導体スイッチに関する。

【0002】

【従来の技術】

制御信号によりオン／オフして、入力された交流信号をオン／オフ制御させる交流用の半導体スイッチ（以下、交流スイッチと称する。）としては、図14、図15、図16に示すようなものがある。これらの交流スイッチは、高圧のFETを2個用いて、第1端子11と第2端子12との両端に印加された交流信号をオン／オフ制御させる。

【0003】

図14に示す交流スイッチは、第1端子11と第2端子12との両端に、逆直列接続されたノーマリオフ型のMOSFETQ11（FETQ11と称する。）とノーマリオフ型のMOSFETQ12（FETQ12と称する。）とが接続されている。図15に示す交流スイッチも、ノーマリオフ型のFETQ13とノーマリオフ型のFETQ14とが逆直列接続され、ドレイン及びソースの接続が図14に示すものとは逆になっている。

【0004】

図14に示す交流スイッチによれば、第1ゲート信号が正電圧でゲート端子G1tからFETQ11のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ12のゲートG2に印加されると、FETQ11及びFETQ12が共にオンする。このため、第1及び第2ゲート信号が正電圧であ

る期間においては、第1端子11に正電圧が印加されている時には第1端子11から第2端子12に電流が流れ、第2端子12に正電圧が印加されている時には第2端子12から第1端子11に電流が流れる。

【0005】

次に、第1及び第2ゲート信号が零電圧で、FETQ11及びFETQ12のゲートに印加されると、FETQ11及びFETQ12が共にオフする。このため、交流スイッチに電流が流れなくなる。

【0006】

なお、図15に示す交流スイッチも、図14に示す交流スイッチと同様に動作する。

【0007】

図16に示す交流スイッチは、第1端子11と第2端子12との両端に、ダイオードD11とノーマリオフ型のFETQ15とからなる第1直列回路と、ダイオードD12とノーマリオフ型のFETQ16とからなる第2直列回路とが並列に接続されている。ダイオードD11のアノードは第1端子11に接続され、ダイオードD12のアノードは第2端子12に接続されている。

【0008】

図16に示す交流スイッチによれば、第1ゲート信号が正電圧でゲート端子G1tからFETQ15のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ16のゲートG2に印加されると、FETQ15及びFETQ16が共にオンする。このため、第1端子11→ダイオードD11→FETQ15→第2端子12と電流が流れる。即ち、第1及び第2ゲート信号が正電圧である期間においては、第1端子11に正電圧が印加されている時には第1端子11から第2端子12に電流が流れる。また、第2端子12に正電圧が印加されている時には、第2端子12→ダイオードD12→FETQ16→第1端子11と電流が流れる。即ち、第2端子12から第1端子11に電流が流れる。

【0009】

次に、第1及び第2ゲート信号が零電圧で、FETQ15及びFETQ16のゲートに印加されると、FETQ15及びFETQ16が共にオフする。このた

め、交流スイッチに電流が流れなくなる。

【0010】

しかし、図14、図15に示す交流スイッチではオン抵抗の高い高圧の素子が2個直列に接続されているため、交流の半導体スイッチとしてはオン抵抗がかなり大きくなり、ロスが増大する。また、図16に示す交流スイッチでは、部品が多くなりコストが高くなる。

【0011】

一方、SiCやGaN等の化合物半導体のFETは、耐圧が高くても低オン抵抗で、大電力スイッチに非常に適しているが、ノーマリオンといわれているFET（ゲート信号が零のときドレイン電流が流れてしまうFET）しか製造することができない。このノーマリオン型のFETでは、電源を投入した時間はゲート信号がないので、ドレイン電流が流れ破損につながり非常に使いづらい。このため、ゲート信号が零でもドレイン電流が流れないFETを開発する必要があった。

【0012】

そこで、図17に示すように、第1端子11と第2端子12との両端に、高圧のSiCからなるノーマリオン型のFETQ18と低圧低オン抵抗のノーマリオフ型のFETQ17とをカスケード接続した直流スイッチが用いられている（特許文献1）。この直流スイッチは、高圧で低オン抵抗にしたもので、第1端子11と第2端子12との間に直流信号が印加されるようになっている。

【0013】

図17に示す直流スイッチによれば、FETQ17のゲートG1にしきい値以上の電圧を印加すると、FETQ17がオンし、FETQ18もオンする。また、FETQ17のゲートG1にしきい値未満の電圧を印加すると、FETQ17がオフし、FETQ18もオフする。即ち、FETQ17のゲートG1でオン／オフし、あたかも1個の高耐圧のFETとして動作することができる。

【0014】

しかしながら、図17に示す直流スイッチでは交流には使用できない。このため、図18や図19のような回路を用いて交流スイッチを実現していた。

【0015】

図18に示す交流スイッチは、図17に示す直流スイッチを図16に示す交流スイッチに適用したものであり、図18に示すFETQ19, Q21が図16に示すFETQ15に対応し、図18に示すFETQ20, Q22が図16に示すFETQ16に対応し、その動作は図16及び図17に示す動作と同様である。

【0016】

図19に示す交流スイッチは、図17に示す直流スイッチを図14に示す交流スイッチに適用したものであり、図19に示すFETQ25, Q26が図14に示すFETQ11に対応し、図19に示すFETQ23, Q24が図14に示すFETQ12に対応し、その動作は図14及び図17に示す動作と同様である。

【0017】**【特許文献1】**

特開平5-75110号公報

【0018】**【発明が解決しようとする課題】**

しかしながら、図18に示す交流スイッチでは、図16に示す交流スイッチに比べてノーマリオン型のFETが2個必要であり、また、メイン電流を流すパワーダイオードも2個余計に必要である。即ち、部品が多くコストが高く、ダイオードによるロスが大きかった。また、図19に示す交流スイッチも部品が多くコストが高かった。

【0019】

本発明は、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することにある。

【0020】**【課題を解決するための手段】**

前記課題を解決するために本発明は以下の構成とした。請求項1の発明は、ノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、前記ノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなる

ことを特徴とする。

【0021】

この発明によれば、第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に、ノーマリオン型のFETを接続したので、ロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することができる。

【0022】

請求項2の発明は、直列に接続された複数個のノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、前記複数個のノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなることを特徴とする。

【0023】

請求項3の発明は、前記第1及び第2のノーマリオフ型のFETをオン／オフすることにより前記ノーマリオン型のFETをオン／オフさせる制御手段を有することを特徴とする。

【0024】

請求項4の発明では、前記制御手段は、前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、この第1ダイオードに電流を供給する第1電流供給手段と、前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、この第2ダイオードに電流を供給する第2電流供給手段とを有し、前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点を前記ノーマリオン型のFETのゲートに接続したことを特徴とする。

【0025】

請求項5の発明では、前記制御手段は、前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点と前記ノーマリオン型のFETのゲートとの間に接続された抵抗と、前記ノーマリオン型のFETのゲートと前記第1

のノーマリオフ型のFETのゲートとの間に接続された第3ダイオードと、前記ノーマリオン型のFETのゲートと前記第2のノーマリオフ型のFETのゲートとの間に接続された第4ダイオードとを有することを特徴とする。

【0026】

請求項6の発明では、前記ノーマリオン型のFETのゲートに直流電圧を印加する直流電源を有することを特徴とする。

【0027】

請求項7の発明では、前記制御手段は、前記第1のノーマリオフ型のFETのソースに第1電極が接続された第1スイッチと、前記第2のノーマリオフ型のFETのソースに第3電極が接続され第4電極が前記第1スイッチの第2電極に接続された第2スイッチとを有し、前記第1スイッチの第2電極と前記第2スイッチの第4電極との接続点を前記ノーマリオン型のFETのゲートに接続し、前記第1スイッチ及び第2スイッチの内、前記第1及び第2のノーマリオフ型のFETの内のソース電位の低い方のFETに接続されたスイッチをオンし、前記ソース電位の高い方のFETに接続されたスイッチをオフすることを特徴とする。

【0028】

請求項8の発明では、前記ノーマリオン型のFETは、化合物半導体からなり、前記第1及び第2のノーマリオフ型のFETは、Si半導体からなることを特徴とする。請求項9の発明では、前記ノーマリオン型のFETは、MESFETからなることを特徴とする。請求項10の発明では、前記ノーマリオン型のFETは、高圧の半導体スイッチからなり、前記第1及び第2のノーマリオフ型のFETは、低圧低オン抵抗のFETからなることを特徴とする。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体スイッチを図面を参照しながら詳細に説明する。

【0030】

(第1の実施の形態)

第1の実施の形態に係る半導体スイッチは、2個のSiの低圧低オン抵抗のM

MOSFETの間に、高圧の化合物半導体のFETを直列に接続し、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチとしたことを特徴とする。

【0031】

図1は本発明の第1の実施の形態に係る半導体スイッチの基本回路図である。図1に示す半導体スイッチは、ノーマリオン型のFETQ3をノーマリオフ型FETQ1とノーマリオフ型のFETQ2との間に接続してなる。FETQ1のソースSは第1端子11に接続され、FETQ1のドレインDはFETQ3の第1主電極21に接続され、FETQ3の第2主電極22はFETQ2のドレインDに接続されFETQ2のソースSは第2端子12に接続されている。

【0032】

FETQ1, Q2はSiからなる低圧低オン抵抗のMOSFETである。FETQ3は、オン抵抗が小さく高耐圧であり、例えばSiCやGaN等の化合物半導体又はMESFETからなる。このノーマリオン型のFETQ3は、ドレインとソースとが対称に形成されているので、第1端子11と第2端子12との内の電位の高い端子に接続された第1主電極21又は第2主電極22がドレインとなり、電位の低い端子に接続された他方の主電極がソースとなる。

【0033】

また、パルス信号等からなる第1ゲート信号は、ゲート端子G1tを介してFETQ1のゲートG1に印加され、第2ゲート信号は、ゲート端子G2tを介してFETQ2のゲートG2に印加され、第3ゲート信号は、ゲート端子G3tを介してFETQ3のゲートG3(制御電極)に印加されるようになっている。

【0034】

次に、このように構成された第1の実施の形態に係る半導体スイッチの動作を説明する。

【0035】

まず、第1端子11及び第2端子12間に交流信号が入力されると、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ3の第1主電極21がドレインとなり、第2主電極22がソースとなる。ソースとなる第2主電

極22の電位に対してゲートG3を高い電位又は零電位とする第3ゲート信号がゲート端子G3tから入力されると、FETQ3がオンする。また、このとき、第1ゲート信号が正電圧でゲート端子G1tからFETQ1のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ2のゲートG2に印加されると、FETQ1及びFETQ2が共にオンする。

【0036】

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ3の第1主電極21がソースとなり、第2主電極22がドレインとなる。ソースとなる第1主電極21の電位に対してゲートG3を高い電位又は零電位とする第3ゲート信号がゲート端子G3tから入力されると、FETQ3がオンする。また、このとき、第1ゲート信号が正電圧でゲート端子G1tからFETQ1のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ2のゲートG2に印加されると、FETQ1及びFETQ2が共にオンする。

【0037】

さらに、第1端子11の電位が高く第2端子12の電位が低い場合、及び第2端子12の電位が高く第1端子11の電位が低い場合でも、ソースとなる主電極の電位に対してゲートG3を低い電位とするゲート信号が入力されると、FETQ3はオフする。

【0038】

このように、第1の実施の形態に係る半導体スイッチによれば、2個のSiの低圧低オン抵抗のMOSFETの間に、高圧の化合物半導体のFETを直列に接続し、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することができる。

【0039】

(半導体スイッチの具体的な回路)

図2は本発明の第1の実施の形態に係る半導体スイッチの具体的な回路図である。図1に示す半導体スイッチでは、ゲート端子G3tからの第3ゲート信号による電圧をFETQ3のゲートG3に入力したが、図2に示す半導体スイッチでは、第1端子11及び第2端子12の交流信号による電圧を抵抗を介してFET

Q3のゲートG3に印加することで、第3ゲート信号の入力をなくしたものである。

【0040】

FETQ1のソースSにはダイオードD1のカソード及び第2電流供給手段としての抵抗R1の一端が接続され、FETQ2のソースSにはダイオードD2のカソード及び第1電流供給手段としての抵抗R2の一端が接続されている。ダイオードD1のアノード及び抵抗R1の他端と、ダイオードD2のアノード及び抵抗R2の他端とは、FETQ3のゲートG3に接続されている。ダイオードD1, D2はFETQ1, Q2のソースの低い方の電位を選ぶダイオードである。抵抗R1, R2は、そのダイオードにバイアス電流を流す抵抗である。

【0041】

なお、その他の構成は図1に示す構成と同一構成であるので、同一部分には同一符号を付し、その詳細な説明は省略する。

【0042】

次に、図2に示す半導体スイッチの動作を説明する。まず、第1端子11の電位が高く第2端子12の電位が低い場合には、図3に示す第1の等価回路となる。このとき、FETQ2のゲートG2に入力される第2ゲート信号によりオン／オフできる。即ち、ダイオードD1とダイオードD2とで低い方の電位が選択されることにより、ダイオードD2がオンし、FETQ3のゲートG3は、FETQ2のソースSの電位になる。このため、FETQ2がオンしているときには、FETQ3がオンになる。FETQ2がオフのときには、ドレイン電流が流れないので、FETQ3のドレイン電流も流れず、オフとなる。即ち、等価回路は図4のようになる。このとき、FETQ1のゲート信号を入力していると、MOSFETによってボディダイオードDq1の順方向ドロップも小さくできる。

【0043】

また、図2において、第1端子11の電位が低く第2端子12の電位が高い場合には、等価回路は図5に示すようになる。FETQ1のゲートG1に入力される第1ゲート信号によりオン／オフできる。即ち、ダイオードD1とダイオードD2とで低い方の電位が選択されることにより、ダイオードD1がオンし、FET

TQ3のゲートG3は、FETQ1のソースSの電位になる。このため、FETQ1がオンしているときには、FETQ3がオンになる。FETQ1がオフのときには、ドレイン電流が流れないので、FETQ3のドレイン電流も流れず、オフとなる。即ち、等価回路は図6のようになる。このとき、FETQ2のゲート信号を入力していると、MOSFETによってボディダイオードDq2の順方向ドロップも小さくできる。即ち、第1端子11、第2端子12で交流信号をオン／オフすることができる。

【0044】

(第2の実施の形態)

図7は本発明の第2の実施の形態に係る半導体スイッチの回路図である。第2の実施の形態に係る半導体スイッチは、第1の実施の形態に係る半導体スイッチのダイオードD1, D2に代えて、FETQ4, Q5を設けて、ノイズや漏洩電流による誤動作を防止したことを特徴とする。

【0045】

図7において、FETQ4, Q5は、ノーマリオフ型のMOSFET等のスイッチであり、FETQ4のドレインDは第1端子11に接続され、FETQ5のドレインDは第2端子12に接続されている。FETQ4のソースSとFETQ5のソースSとはFETQ3のゲートG3に接続されている。

【0046】

また、FETQ4及びFETQ5の内、電位の低い端子に接続されたFETのゲートに正電圧のゲート信号を入力することでオンし、電位の高い端子に接続されたFETのゲートに負電圧のゲート信号を入力することでオフするようになっている。ここでは、FETQ4及びFETQ5の内、FETQ1, Q2の内のソース電位の低い方のFETに接続されたFETをオンし、FETQ1, Q2の内のソース電位の高い方のFETに接続されたFETをオフする。

【0047】

次に、このように構成された第2の実施の形態に係る半導体スイッチの動作を説明する。

【0048】

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FET Q2のゲートG2に入力される第2ゲート信号によりオン／オフできる。即ち、FET Q5のゲートに正電圧のゲート信号を入力することでオンする。このため、FET Q3のゲートG3は、FET Q2のソースSの電位になる。このため、FET Q2がオンしているときには、FET Q3がオンになる。FET Q2がオフのときには、ドレイン電流が流れないので、FET Q3のドレイン電流も流れず、オフとなる。

【0049】

また、第1端子11の電位が低く第2端子12の電位が高い場合には、FET Q1のゲートG1に入力される第1ゲート信号によりオン／オフできる。即ち、FET Q4のゲートに正電圧のゲート信号を入力することでオンする。FET Q3のゲートG3は、FET Q1のソースSの電位になる。このため、FET Q1がオンしているときには、FET Q3がオンになる。FET Q1がオフのときは、ドレイン電流が流れないので、FET Q3のドレイン電流も流れず、オフとなる。即ち、第1端子11、第2端子12で交流信号をオン／オフすることができる。

【0050】

このように第2の実施の形態に係る半導体スイッチによれば、第1の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、FET Q4, Q5を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

【0051】

(第3の実施の形態)

図8は本発明の第3の実施の形態に係る半導体スイッチの回路図である。ノーマリオン型のFETは、ゲート電圧が零電圧で完全にオンしないで中途半端で電流が流れる現象が発生することがある。第3の実施の形態に係る半導体スイッチは、電位の高い端子からダイオード及び抵抗を介して電流をFET Q3のゲートG3に流し、ゲート電圧を正電圧にしてFET Q3を確実にオンさせるようにしたことを特徴とする。

【0052】

なお、図8において、図1に示す部分と同一部分には同一符号を付し、同一部分の説明は省略する。

【0053】

第1端子11にはダイオードD1のアノードが接続され、ダイオードD1のカソードは抵抗R1を介してダイオードD3のアノードとダイオードD4のアノードとFETQ3のゲートG3とに接続されている。ダイオードD3のカソードはFETQ1のゲートG1に接続され、ダイオードD4のカソードはFETQ2のゲートG2に接続されている。第2端子12にはダイオードD2のアノードが接続され、ダイオードD2のカソードは抵抗R1の一端及びダイオードD1のカソードに接続されている。

【0054】

次に、このように構成された第3の実施の形態に係る半導体スイッチの動作を説明する。ここでは、ダイオードD1～D4によるFETQ3のゲートG3への印加の動作のみを説明する。

【0055】

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ3の第1主電極21がドレインとなり、第2主電極22がソースとなる。このとき、第1端子11→ダイオードD1→抵抗R1→FETQ3のゲートG3と電流が流れる。これにより、FETQ3のゲート電圧が確保できるので、FETQ3を確実にオンすることができる。なお、ダイオードD2はオフである。

【0056】

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ3の第1主電極21がソースとなり、第2主電極22がドレインとなる。このとき、第2端子12→ダイオードD2→抵抗R1→FETQ3のゲートG3と電流が流れる。これにより、FETQ3のゲート電圧が確保できるので、FETQ3を確実にオンすることができる。なお、ダイオードD1はオフである。

【0057】

このように、第3の実施の形態に係る半導体スイッチによれば、第1の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、電位の高い

端子からダイオード及び抵抗を介して電流をFETQ3のゲートG3に流し、ゲート電圧を正電圧にしてFETQ3を確実にオンさせることができる。これにより、ノイズや漏洩電流による誤動作を防止できる。

【0058】

(第4の実施の形態)

図9は本発明の第4の実施の形態に係る半導体スイッチの回路図である。第4の実施の形態に係る半導体スイッチは、図2に示す構成に、さらに、抵抗R1と抵抗R2との接続点とFETQ3のゲートG3との間に直流電源Eを設けたことを特徴とする。直流電源Eの正極はFETQ3のゲートG3に接続され、直流電源Eの負極は抵抗R1と抵抗R2との接続点に接続されている。

【0059】

なお、図9において、図1に示す部分と同一部分には同一符号を付し、同一部分の説明は省略する。

【0060】

このように構成された第4の実施の形態に係る半導体スイッチによれば、直流電源Eの直流電圧がバイアス電圧としてFETQ3のゲートG3に常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ3が誤動作しなくなる。

【0061】

(第5の実施の形態)

図2に示す半導体スイッチでは、FETQ2, Q3が耐圧20Vでオン抵抗が1mΩのSiのFETであり、FETQ3は耐圧1000Vの化合物半導体のノーマリオン型のFETである。FETQ3はゲート電圧が-20Vでオフすれば、FETQ2の耐圧は20Vであり、20Vの耐圧があれば動作できる。

【0062】

しかし、FETQ3がもっと耐圧が高い化合物半導体、例えば4000Vの耐圧のFETであると、このFETをオフするには、ゲートに-50V程度の電圧を印加しなければならない。このため、図2に示す半導体スイッチでオン／オフするには、FETQ1, Q2の耐圧が50V必要である。

【0063】

ところが、50VのSiのFETでは、20Vの耐圧のFETと比べてオン抵抗が5～10倍程度大きくなってしまうため、全体のオン抵抗が大きくなってしまう。

【0064】

そこで、第5の実施の形態に係る半導体スイッチでは、図10に示すように、図2に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。

【0065】

FETQ2とFETQ7との組、及びFETQ1とFETQ6との組で、図10に示すような構成にして、耐圧50V以上のFETと同等の等価回路にすると、FETQ3をオン／オフできる。即ち、FETQ6とFETQ7は、ゲート信号が-20V以下でオン／オフできるノーマリオン型のFETであり、FETQ1及びFETQ2のドレインDの耐圧は、20Vで良い。また、FETQ3は、ゲート信号が-50V以下でオン／オフできるノーマリオン型のFETであり、FETQ6とFETQ7のドレインDの耐圧は、50Vで良い。従って、全体を耐圧4000Vという高圧の半導体スイッチを構成することができる。

【0066】

以下、図10に示す半導体スイッチの構成及び動作の詳細を説明する。FETQ6の第1主電極23はFETQ1のドレインDに接続され、FETQ6の第2主電極24はFETQ3の第1主電極21に接続されている。FETQ7の第1主電極25はFETQ3の第2主電極22に接続され、FETQ7の第2主電極26はFETQ2のドレインDに接続されている。FETQ3のゲートG3にはFETQ6のゲートG6とFETQ7のゲートG7とが共通に接続されている。

【0067】

次に、このように構成された第5の実施の形態に係る半導体スイッチの動作を説明する。

【0068】

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FET

Q2のゲートG2に入力される第2ゲート信号によりオン／オフできる。即ち、ダイオードD2がオンし、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7は、FETQ2のソースSの電位になる。このため、FETQ2がオンしているときには、FETQ3、FETQ6及びFETQ7がオンになる。FETQ2がオフのときには、ドレイン電流が流れないので、FETQ3、FETQ6及びFETQ7のドレイン電流も流れず、オフとなる。

【0069】

また、第1端子11の電位が低く第2端子12の電位が高い場合には、FETQ1のゲートG1に入力される第1ゲート信号によりオン／オフできる。即ち、ダイオードD1がオンし、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7は、FETQ1のソースSの電位になる。このため、FETQ1がオンしているときには、FETQ3、FETQ6及びFETQ7がオンになる。FETQ1がオフのときには、ドレイン電流が流れないので、FETQ3、FETQ6及びFETQ7のドレイン電流も流れず、オフとなる。即ち、第1端子11、第2端子12で交流信号をオン／オフすることができる。

【0070】

このように第5の実施の形態に係る半導体スイッチによれば、第2の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、3個のノーマリオン型のFETと2個のノーマリオフ型のSiの低圧低オン抵抗のMOSFETで構成された高圧の半導体スイッチを提供することができる。

【0071】

(第6の実施の形態)

図11は本発明の第6の実施の形態に係る半導体スイッチの回路図である。図11に示す半導体スイッチは、図7に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ4のソースSとFETQ5のソースSとはFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に接続されている。

【0072】

このように構成された第6の実施の形態に係る半導体スイッチによれば、図7に示す半導体スイッチの動作と略同様に動作する。但し、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7が電位の低い端子に接続されたFETのソースSの電位と同じになることで、FETQ3、FETQ6及びFETQ7がオンになる点が異なる。

【0073】

このように第6の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、FETQ4、Q5を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

【0074】

(第7の実施の形態)

図12は本発明の第7の実施の形態に係る半導体スイッチの回路図である。図12に示す半導体スイッチは、図8に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ3のゲートG3には、FETQ6のゲートG6及びFETQ7のゲートG7が接続されている。

【0075】

このように、第7の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、電位の高い端子からダイオード及び抵抗を介して電流をFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に流し、ゲート電圧を正電圧にしてFETQ3、FETQ6及びFETQ7を確実にオンさせることができる。これにより、ノイズや漏洩電流による誤動作を防止できる。

【0076】

(第8の実施の形態)

図13は本発明の第8の実施の形態に係る半導体スイッチの回路図である。図13に示す半導体スイッチは、図9に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3のゲートG3には、FETQ6のゲートG6及びFETQ7のゲートG7が接続され

TQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ3のゲートG3には、FETQ6のゲートG6及びFETQ7のゲートG7が接続されている。

【0077】

このように、第8の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、直流電源Eの直流電圧がバイアス電圧としてFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ3、FETQ6及びFETQ7が誤動作しなくなる。

【0078】

なお、第1、第3乃至第5、第7及び第8の実施の形態に係る半導体スイッチでは、電流を流すために抵抗R1を用いたが、抵抗R1に代えて、例えば定電流素子や定電流回路等を用いても良く、これらによれば、低い電圧から高い電圧まで安定に順方向電流を流すことができる。

【0079】

【発明の効果】

本発明によれば、ノーマリオン型のFETを第1のノーマリオフ型FETと第2のノーマリオフ型のFETとの間に接続することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体スイッチの基本回路図である。

【図2】

本発明の第1の実施の形態に係る半導体スイッチの具体的な回路図である。

【図3】

図2に示す半導体スイッチの第1の等価回路図である。

【図4】

図2に示す半導体スイッチの第2の等価回路図である。

【図5】

図2に示す半導体スイッチの第3の等価回路図である。

【図6】

図2に示す半導体スイッチの第4の等価回路図である。

【図7】

本発明の第2の実施の形態に係る半導体スイッチの回路図である。

【図8】

本発明の第3の実施の形態に係る半導体スイッチの回路図である。

【図9】

本発明の第4の実施の形態に係る半導体スイッチの回路図である。

【図10】

本発明の第5の実施の形態に係る半導体スイッチの回路図である。

【図11】

本発明の第6の実施の形態に係る半導体スイッチの回路図である。

【図12】

本発明の第7の実施の形態に係る半導体スイッチの回路図である。

【図13】

本発明の第8の実施の形態に係る半導体スイッチの回路図である。

【図14】

従来の半導体スイッチの例1の回路図である。

【図15】

従来の半導体スイッチの例2の回路図である。

【図16】

従来の半導体スイッチの例3の回路図である。

【図17】

従来の半導体スイッチの例4の回路図である。

【図18】

従来の半導体スイッチの例5の回路図である。

【図19】

従来の半導体スイッチの例6の回路図である。

【符号の説明】

1 1 第1端子

1 2 第2端子

G 1 t, G 2 t, G 3 t ゲート端子

Q 3, Q 6, Q 7, Q 18, Q 21, Q 22, Q 24, Q 25 ノーマリオン型
のF E T

Q 1, Q 2, Q 4, Q 5, Q 11～Q 17, Q 19, Q 20, Q 23, Q 26
ノーマリオフ型のF E T

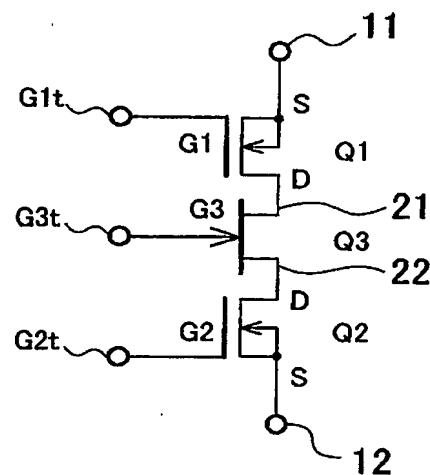
R 1, R 2 抵抗

E 直流電源

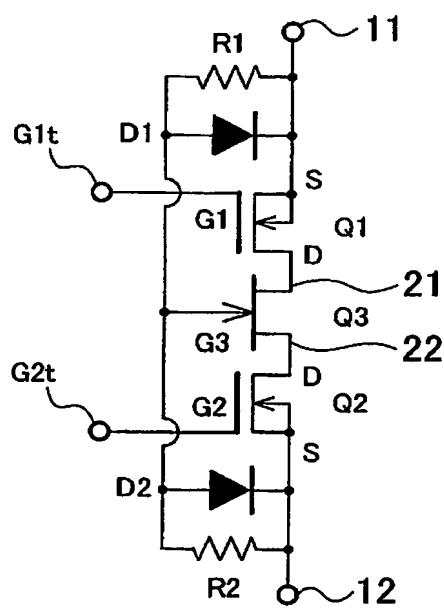
D 1～D 4, D 11～D 14 ダイオード

【書類名】 図面

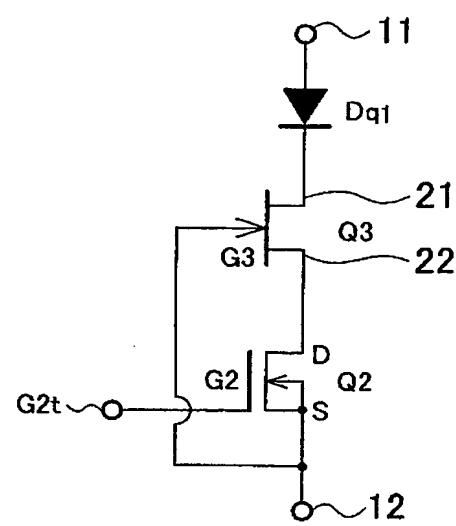
【図1】



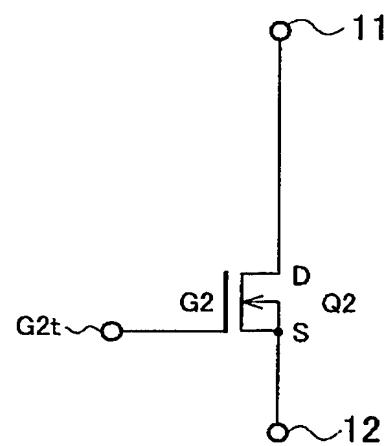
【図2】



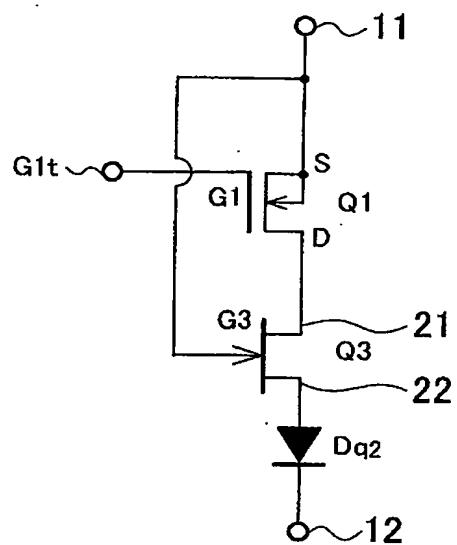
【図3】



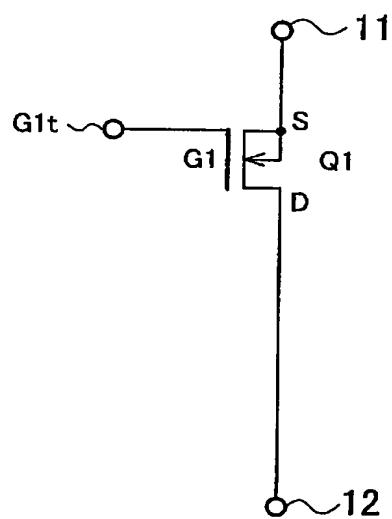
【図4】



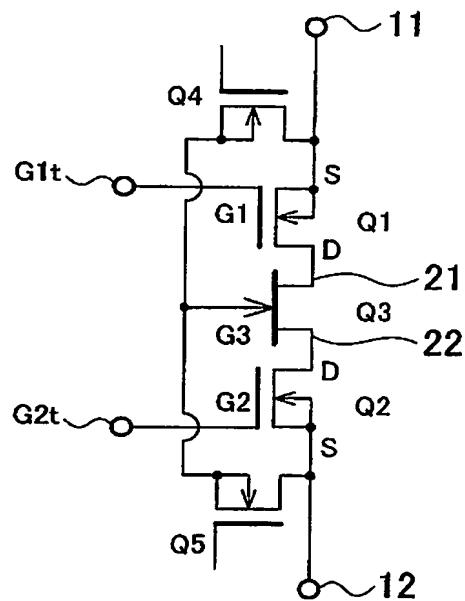
【図5】



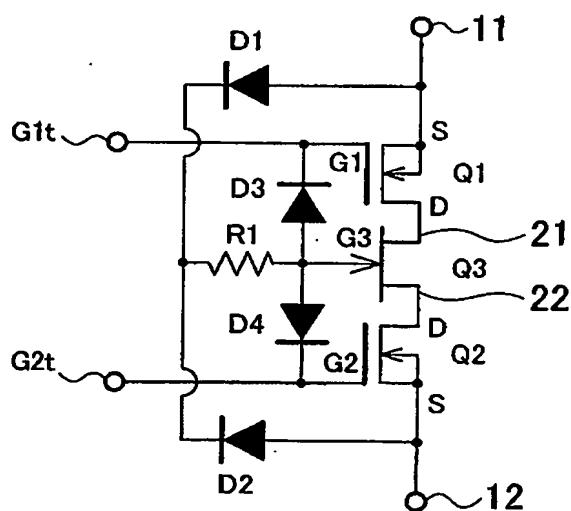
【図6】



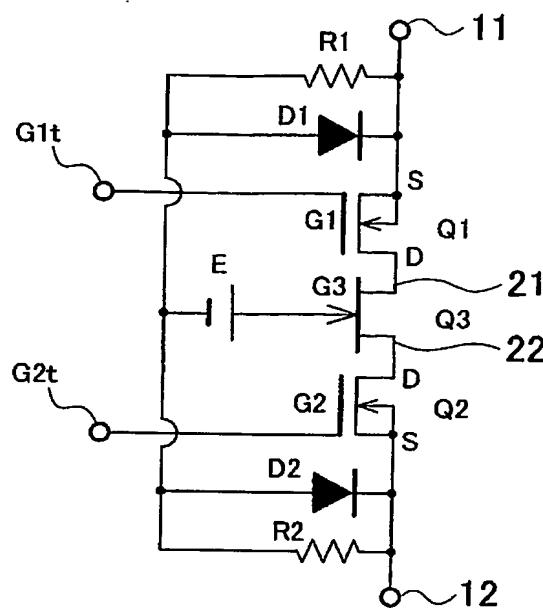
【図7】



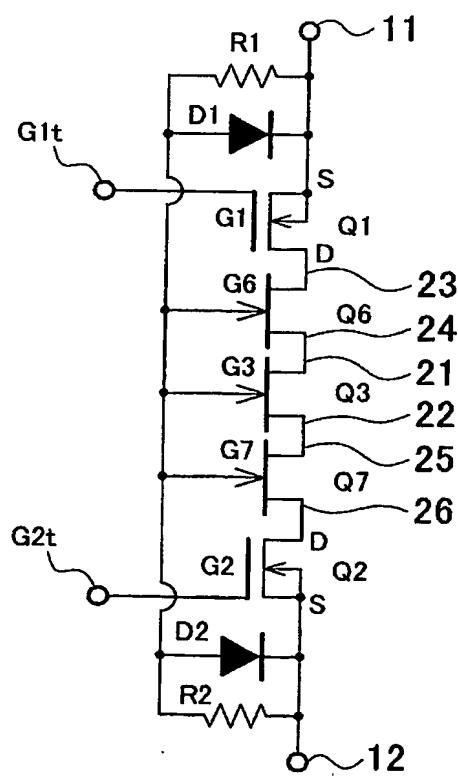
【図8】



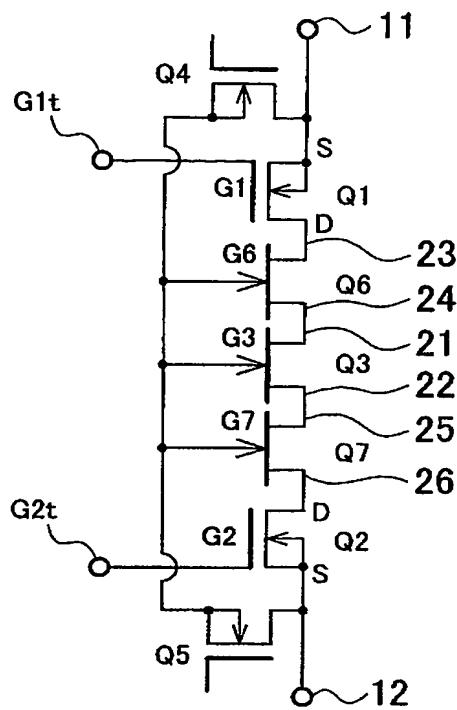
【図9】



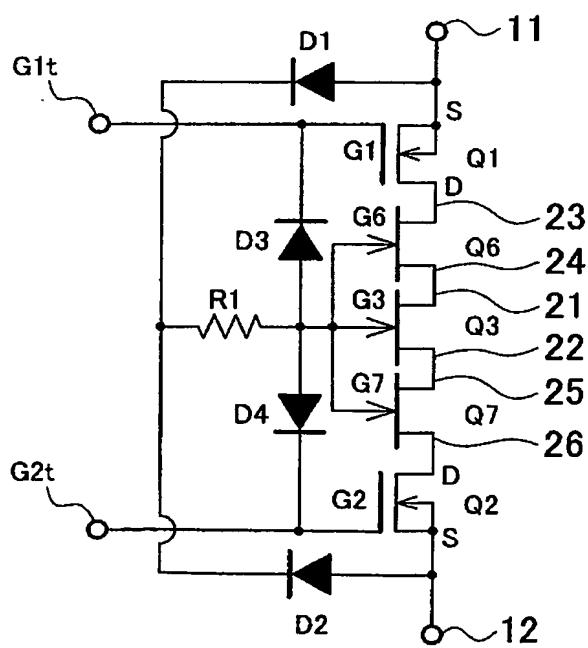
【図10】



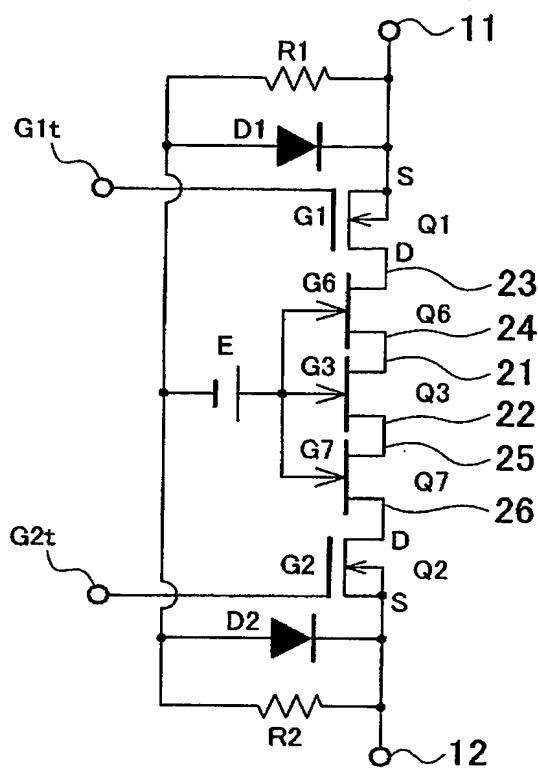
【図11】



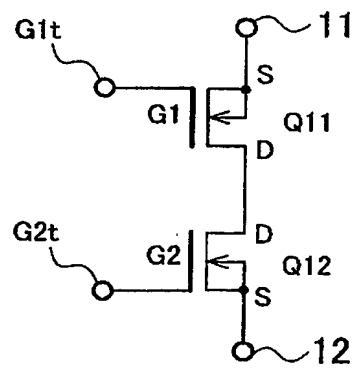
【図12】



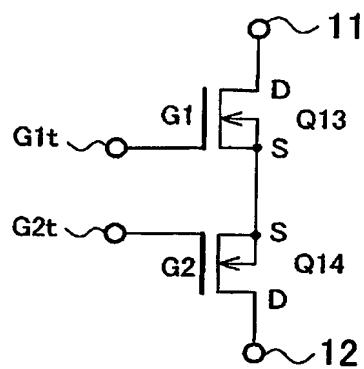
【図13】



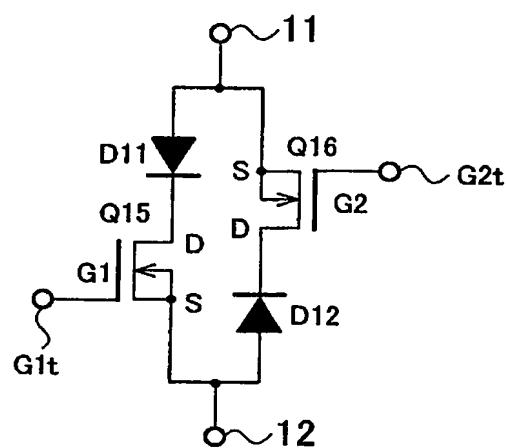
【図14】



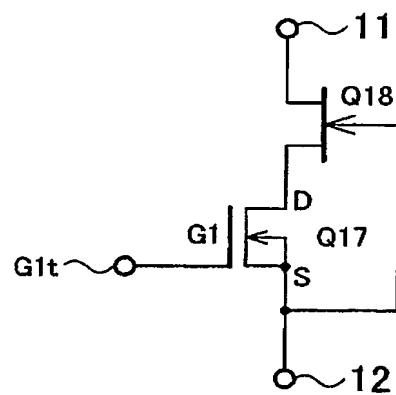
【図15】



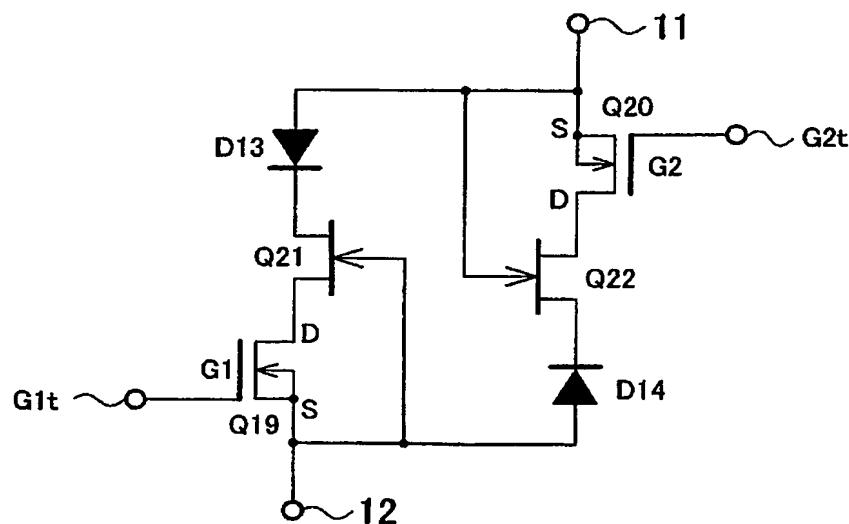
【図16】



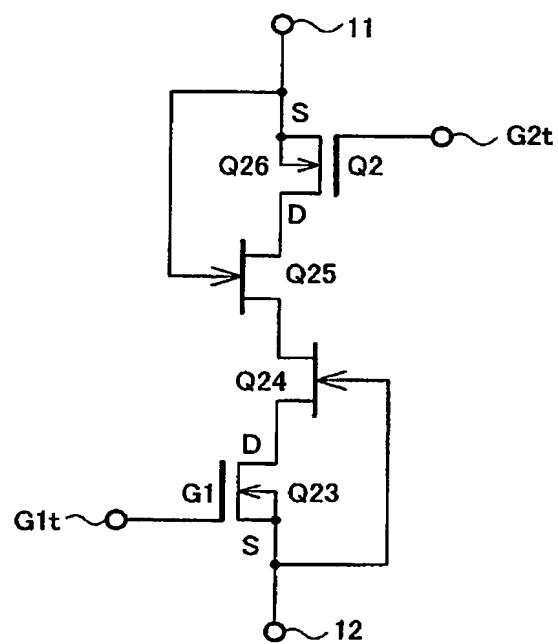
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 ロスを低減し、高耐圧でしかも安価な半導体スイッチを提供する。

【解決手段】 ノーマリオン型のFETQ3と第1及び第2のノーマリオフ型のFETQ1, Q2とを直列に接続してなる半導体スイッチであって、ノーマリオン型のFETQ3を第1のノーマリオフ型FETQ1と第2のノーマリオフ型のFETQ2との間に接続してなる。

【選択図】 図1

【書類名】 手続補正書
【整理番号】 SNK-188
【提出日】 平成16年 1月22日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003-187106
【補正をする者】
 【識別番号】 000106276
 【氏名又は名称】 サンケン電気株式会社
【代理人】
 【識別番号】 100083806
 【弁理士】
 【氏名又は名称】 三好 秀和
 【電話番号】 03-3504-3075
【手続補正】
 【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更
 【補正の内容】
 【発明者】
 【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 【氏名】 森田 浩一
【その他】 誤記の理由は、本社の住所を記載すべきところを間違ったものです。

特願 2003-187106

出願人履歴情報

識別番号 [000106276]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 埼玉県新座市北野3丁目6番3号
氏名 サンケン電気株式会社